

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-127869

(43)Date of publication of application : 28.04.1992

(51)Int.Cl.

H02M 3/28

(21)Application number : 02-248200

(71)Applicant : NIPPON TELEGR & TELEPH CORP
<NTT>

(22)Date of filing : 18.09.1990

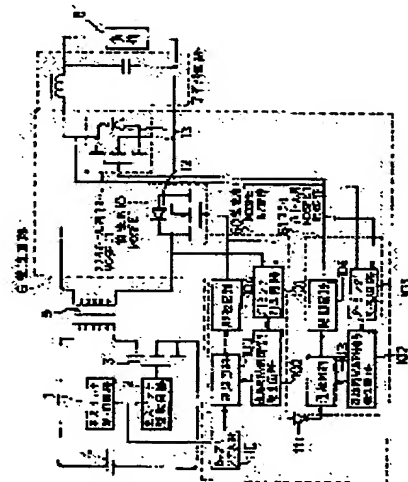
(72)Inventor : YAMASHITA NOBUHIKO

(54) RECTIFYING CIRCUIT

(57)Abstract:

PURPOSE: To eliminate recovery loss or the loss due to reverse channel current by deciding whether turn OFF timing is appropriate or not when rectification is carried out under synchronized control of MOSFET with a driving signal.

CONSTITUTION: A driving signal is logically inverted through an inverter 111 and fed to a flywheel MOSFET control section 61. Output of a rectification MOSFET control section 60 is connected with the gate terminal of a current MOSFET 10 and the output of the flywheel MOSFET control section 61 is connected with the gate terminal of a flywheel MOSFET 11, where the control MOSFET 10 is turned ON/OFF by a driving signal obtained by regulating the delay time of the driving signal for a main switch 3 whereas the flywheel MOSFET 11 is turned ON/OFF by a driving signal obtained by regulating the delay time of the inverted driving signal thus realizing synchronized rectification where recovery loss and the loss due to reverse channel current are eliminated.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平4-127869

⑮ Int. Cl.⁵
H 02 M 3/28

識別記号 庁内整理番号
F 7829-5H

⑬ 公開 平成4年(1992)4月28日

審査請求 未請求 請求項の数 1 (全12頁)

⑭ 発明の名称 整流回路

⑯ 特 願 平2-248200

⑰ 出 願 平2(1990)9月18日

⑱ 発 明 者 山 下 暢 彦 東京都千代田区内幸町幸1丁目1番6号 日本電信電話株式会社社内

⑲ 出 願 人 日本電信電話株式会社 東京都千代田区内幸町1丁目1番6号

⑳ 代 理 人 弁理士 志賀 富士弥

明 細 書

1. 発明の名称

整流回路

2. 特許請求の範囲

(1) 入力電圧を主スイッチによりスイッチングして高周波に変換し、該高周波をトランスにより電圧変換した後、整流回路により直流に変換して出力する電源における該整流回路であって、

整流素子としてのMOSFETと、

前記主スイッチの駆動信号を受け、その駆動信号からの遅延時間を制御信号で可変する遅延回路と、

前記遅延回路の出力により前記MOSFETを駆動する駆動回路と、

前記MOSFETのゲート電圧とドレイン電圧を検出して該MOSFETのターンオフのタイミングが適正かまたは早いまたは遅いかを判定する回路と、

前記判定する回路の判定の出力を受け、前記ターンオフのタイミングが適正になる方向に前記遅

延回路の遅延時間を調整する前記制御信号を作成する回路と、

を具備することを特徴とする整流回路。

3. 発明の詳細な説明

[産業上の利用分野]

本発明は、スイッチング電源に係り、特に整流素子としてMOSFETを用いて同期整流を行う整流回路に関するものである。

[従来の技術]

従来より、小形で効率の高い電源あるいは電力変換器として、スイッチング電源(あるいはコンバータ)が知られている。

第7図は、一般に知られたスイッチング電源の従来例の回路構成図であって、1は主スイッチ制御回路、2は主スイッチ駆動回路、3は主スイッチ、4は入力電圧源、5はトランス、6は整流回路、7は平滑回路、8は負荷、21は整流用ショットキーバリアダイオード(以下、SBDと略記する)、22はフライホイール用SBDである。

スイッチング電源は、入力電圧源4からの入力電

圧を主スイッチ制御回路1および主スイッチ駆動回路2で制御される主スイッチ3によりスイッチングして高周波に変換し、その高周波の電圧をトランス5により変換し、整流回路6により直流に変換して平滑回路7で平滑し、所定電圧とされた電力を負荷8へ供給している。

また、第8図、第9図は、特開昭63-124767号等による従来例のスイッチング電源の回路構成図である。これらの従来例は、共に整流回路の整流素子としてMOSFET（電界効果トランジスタ）を用いることで、第7図のようなダイオードを整流素子として用いた場合よりも、順方向降下電圧を低減している。これらの従来例の構成において、1は主スイッチ制御回路、2は主スイッチ駆動回路、3は主スイッチ、4は入力電圧源、5はトランス、6は整流回路、7は平滑回路、8は負荷、10は整流用MOSFET、11はフライホイール用MOSFET、12は整流用MOSFET10のボディダイオード、13はフライホイール用MOSFET11のボディダイオード、

部60、61の駆動回路の前段に遅延回路104を挿入し、各タイミング信号の後縁を一定の時間遅延させ、その一定の時間各MOSFET10、11のターンオフを遅延させる構成としたものである。

第8図の従来例では、整流用MOSFET10とフライホイール用MOSFET11の2素子間で電流が切り替わるのにかかる時間がかかるために、各MOSFET10、11に寄生的に存在するボディダイオード12、13に電流が流れ、リカバリー電流が流れて、これがリカバリー損失となっている。第9図の従来例は、上記したようにターンオフを遅延させることにより、そのボディダイオード12、13に電流が流れるのを防止して、そのリカバリー損失を低減している。

〔発明が解決しようとする課題〕

しかしながら、上記従来技術におけるMOSFETを電流素子として用いたスイッチング電源では、整流用とフライホイール用のMOSFET間で電流が切り替わる間に、ボディダイオードを

特開平4-127869 (2)

60は整流用MOSFET制御部、61はフライホイール用MOSFET制御部、103は遅延回路、104は駆動回路、110はカップリング回路、111はインバータである。

このようにMOSFETを整流素子として用いる場合、整流用MOSFET10は主スイッチ3と同じタイミングで駆動し、フライホイール用MOSFET11はそのタイミングの論理を反転したタイミングで駆動して同期整流を行う必要がある。そこで、第8図の従来例では、主スイッチ制御回路1からカップリング回路110を通して主スイッチ3の駆動信号を得、整流用MOSFET制御部60の駆動回路104を介して駆動信号を整流用MOSFET10のゲート端子に入力するとともに、上記で得た主スイッチ3の駆動信号の論理をインバータ111で反転し、フライホイール用MOSFET制御部61の駆動回路104を介して駆動信号をフライホイール用MOSFET11のゲート端子に入力している。

一方、第9図の従来例は、各MOSFET制御

部60、61の駆動回路の前段に遅延回路104を挿入し、各タイミング信号の後縁を一定の時間遅延させ、その一定の時間各MOSFET10、11のターンオフを遅延させることにより、その課題を解決しようとしたものであったが、整流回路6においてMOSFET10、11間で電流が切り替わる時間はスイッチング電源の入力電圧や負荷電流によって変化するので、遅延回路103の遅延時間を一定とした場合、上記電流の切り替わる時間の変化でタイミングがずれると、ボディダイオード12、13には電流が流れてリカバリー損失が発生し、また、MOSFET10、11のチャネルには逆方向電流が流れて、その逆方向電流が損失となる問題点があった。

第10図、第11図、第12図は、上記した損失発生を説明するための動作波形図であって、それぞれ第7図、第8図、第9図の従来例における主スイッチ3の駆動信号と、トランス5の二次側の整流素子の駆動信号あるいは電流波形を示している。

第10図は、整流素子としてSBDを用いた第8図の従来例の波形を示している。整流回路6において、整流用の素子とフライホイール用の素子の電流が切り替わるにはある時間がかかる。その間は両素子に電流が流れているが、SBD21、22を用いた場合、電流の切り替わり時における損失の発生はない。しかし、前述したように順方向降下電圧が比較的大きい。

第11図は、この順方向降下電圧を低減するために整流素子としてMOSFETを用いた第8図の構成で、主スイッチの駆動信号を元に、整流用MOSFET10は主スイッチと同じタイミングで、フライホイール用MOSFET11は論理を反転した信号で駆動する場合の駆動信号と電流波形を示している。各MOSFET10、11には先に述べたように寄生的にボディダイオード12、13が存在するため、チャネル電流とボディダイオード電流が流れる。即ち、駆動信号のタイミングでチャネルがオフになると、整流用とフライホイール用の2素子間で電流が切り替わる間、ボデ

しないようにMOSFETによる同期整流を行う整流回路を提供することを目的とする。

〔課題を解決するための手段〕

上記の目的を達成するための本発明の整流回路の構成は、

入力電圧を主スイッチによりスイッチングして高周波に変換し、該高周波をトランスにより電圧変換した後、整流回路により直流に変換して出力する電源における該整流回路であって、

整流素子としてのMOSFETと、

前記主スイッチの駆動信号を受け、その駆動信号からの遅延時間を制御信号で可変する遅延回路と、

前記遅延回路の出力により前記MOSFETを駆動する駆動回路と、

前記MOSFETのゲート電圧とドレイン電圧を検出して該MOSFETのターンオフのタイミングが適正かまたは早いのかまたは遅いかを判定する回路と、

前記判定する回路の判定の出力を受け、前記タ

特開平4-127869 (3)

ィダイオード12、13を流って電流が流れる。ボディダイオードはpn型のダイオードのため、ターンオフ時には逆方向にリカバリー電流が流れる。この逆方向の電流を第11図上で斜線で示す。このリカバリー電流が損失となる。

第12図は、整流用とフライホイール用の2素子間で電流が切り替わるのにかかる時間がかかるため一定の時間MOSFETのターンオフを遅延させる構成とした第9図の構成において、この時のMOSFETの駆動信号と電流波形の例を示している。この例では、整流用MOSFET10はターンオフが早く、その結果ボディダイオード12に電流が流れ、リカバリー電流が流れる。フライホイール用MOSFET11ではターンオフが遅く、チャネルに逆方向電流が流れる。これらのリカバリー電流及び逆方向チャネル電流が損失を発生させる。

本発明は上記問題点を解決するために創案されたもので、スイッチング電源において、リカバリー損失や逆方向のチャネル電流による損失が発生

ーンオフのタイミングが適正になる方向に前記遅延回路の遅延時間を調整する前記制御信号を作成する回路と、

を具備することを特徴とする。

〔作用〕

本発明は、MOSFETを主スイッチの駆動信号に同期させて制御し整流を行う際に、そのMOSFETのターンオフのタイミングが適正か否かを検出し、適正でない場合には、適正になる方向にそのMOSFETの駆動の遅延時間を調整することにより、そのMOSFETが有するボディダイオードに電流が流れないように、かつそのMOSFETのチャネルに逆方向電流が流れないようにして、リカバリー損失やチャネルの逆方向電流による損失が発生しないようにする。

〔実施例〕

以下、本発明の実施例を図面に基づいて詳細に説明する。

第1図は本発明の第1の実施例を示す基本構成図である。本実施例の構成において、1は主スイ

特開平4-127869 (4)

ッチ制御回路、2は主スイッチ駆動回路、3は主スイッチ、4は入力電圧源、5はトランス、6は整流回路、7は平滑回路、8は負荷である。主スイッチ3は、トランス5の一次側に入力電圧源4と直列に接続され、主スイッチ制御回路1の高周波の駆動信号により主スイッチ駆動回路2を介してオン／オフされる。整流回路6は、トランス5の二次側に接続され、トランス5において主スイッチ3のオン／オフで誘起され電圧変換された高周波をMOSFETを用いて同期整流する。整流回路6の出力は、チョークコイルや容量などで形成される平滑回路7に接続されて平滑され、所定電圧の直流電力として平滑回路7の出力に接続された負荷8に供給される。次に、整流回路6の構成において、10は整流用MOSFET、11はフライホイール用MOSFET、12は整流用MOSFET10のボディダイオード、13はフライホイール用MOSFET11のボディダイオード、60は整流用MOSFET10の制御部、61はフライホイール用MOSFET11の制御

部の遅延時間を調整した駆動信号でオン／オフされ、フライホイール用MOSFET11はその駆動信号の反転信号の遅延時間を調整した駆動信号でオン／オフされて、リカバリー損失およびチャネルの逆方向電流による損失のない同期整流が行われる。

整流用MOSFET制御部60と、フライホイール用MOSFET制御部61とは、同様に構成されている。各制御部60、61の構成において、101はタイミング判定回路、102は遅延時間制御信号発生回路、103は遅延回路、104は駆動回路である。遅延回路103は、カップリング回路110からの主スイッチの駆動信号あるいはインバータ111からのその駆動信号の反転信号を入力して遅延させ、タイミングの調整を行ってMOSFETの駆動信号を駆動回路104へ送出する。駆動回路104は、その出力を整流用MOSFET10またはフライホイール用MOSFET11のゲート端子に接続し、上記遅延回路103で遅延された駆動信号に基づいてMOSFET

10または11をオン／オフする。タイミング判定回路101は、2つの入力それぞれMOSFET10または11のゲート端子とドレイン端子に接続してMOSFET10または11のゲート電圧とドレイン電圧を検出し、そのMOSFET10または11のターンオフのタイミングが適正か早いかなまたは遅いかを判定し、その判定結果を遅延時間制御信号発生回路102へ送出する。遅延時間制御信号発生回路102は、上記タイミング判定回路101の判定出力を受け、遅延回路103の遅延時間を調整する遅延時間制御信号に変換して、遅延回路103へ送出する。

以上のように構成した第1の実施例の動作および作用を述べる。

本実施例は、基本的には第9図の従来例と同じように、主スイッチ制御回路1の駆動信号に基づいて、整流用MOSFET10と、フライホイール用MOSFET11を駆動し、同期整流を行うものであるが、各MOSFET10、11に接続したタイミング判定回路101により、それぞれ

時間平4-127869 (5)

接続されたMOSFET 10, 11のゲート電圧のフォールダウンを検出し、その時点でのそれらMOSFET 10, 11のドレイン電圧をもとに、そのサイクルでのタイミングを適正、早い、遅いの3状態に判定し、そのタイミング判定によってカップリング回路110を介して得られた主スイッチ3の駆動信号の遅延時間を適正に変化させ、ボディダイオード12, 13に流れる電流および各MOSFET 10, 11のチャネルに流れる逆方向電流の発生をなくして、それらによる損失の発生をなくす。

第2図(a), (b), (c), (d)は、本実施例の動作説明図であって、タイミング判定回路101の判定のアルゴリズムを説明するためのものである。(a)はnチャネル型MOSFETの説明図であって、Dはドレイン端子、Gはゲート端子、Sはソース端子、 V_{ds} はドレイン・ソース間電圧、 V_{gs} はゲート・ソース間電圧、 I_{ch} はチャネルに流れる電流である。また、(b), (c), (d)はMOSFETのターンオフタイミングの

3状態を示している。

まず、判定のアルゴリズムを説明する。ゲート端子のフォールダウンが早い場合、(b)に示すように、フォールダウンの時間で電流 I_{ch} はソース端子からドレイン端子方向に流れており、MOSFETのドレイン・ソース間電圧 V_{ds} は負の値である。ゲート端子のフォールダウンが適正なタイミングの場合、(c)に示すように、フォールダウンの時点で電流 I_{ch} は0であり、 V_{ds} は0である。ゲート端子のフォールダウンが遅い場合、(d)に示すように、フォールダウンの時点でチャネルに逆方向電流 I_{ch} が流れ、 V_{ds} は正の値である。以上の判定アルゴリズムは、pチャネル型MOSFETを用いたとしても電圧の極性を判定するだけで同様に適用可能である。この判定アルゴリズムにより、実際に上記の判定を行う場合、ドレイン電圧が、0V付近の任意に設定した電圧範囲に入っていれば、そのMOSFETのターンオフのタイミングは適正とし、低電位であればタイミングは早いとし、高電位であればタイミングは

遅いとする。

遅延時間制御信号発生回路102では、上記タイミング判定回路101の判定出力を受けて遅延回路103の遅延時間の制御を行う電圧または電流すなわち遅延時間制御信号を発生する。タイミング判定回路101からの出力信号により、タイミング判定が“適正”であれば上記の遅延時間の制御電圧または電流は変化させず、タイミング判定が“早い”であれば遅延時間が増大する方向に遅延時間の制御電圧または電流を変化させ、タイミング判定が“遅い”であれば遅延時間が減少する方向に遅延時間の制御電圧または電流を変化させる。遅延回路103では、このような遅延時間制御信号に応じて入力信号(カップリング回路110からの主スイッチの駆動信号)に対して遅延時間を変化させてMOSFETの駆動信号を出力する。駆動回路104は遅延回路103の出力によって各MOSFETを駆動する。以上によって、あるサイクルでの判定結果は、次回以降のサイクルに反映される。

次に、本発明の具体的な回路例を示す。

第3図は本発明の具体的な回路例を示す第2の実施例の回路構成図である。本実施例は、第1の実施例の整流用MOSFET制御部60およびフライホイール用MOSFET制御部61を具体的な回路構成で示したものである。従って、これ以外の回路については、第1の実施例と同様なので説明を省略する。また、フライホイール用MOSFET制御部61は、整流用MOSFET制御部60と同様の構成なので、その図示を省略してある。整流用MOSFET制御部60の構成において、201, 202はACTIVE/SLEEP信号入力端子を持つ第1と第2の比較器、203は第1の判定電圧V1の電圧源、204は第2の判定電圧V2の電圧源、205は微分回路、206はup/downカウンタ、207はDAコンバータである。201, 202, 203, 204, 205の各回路は、タイミング判定回路101を構成し、206, 207の回路は、遅延時間制御信号発生回路102を構成する。110のカップ

特開平4-127869 (6)

リング回路は、主スイッチ回路側と直流的に絶縁し信号伝達を行うために、容量と抵抗により構成している。

タイミング判定回路101において、微分回路205の入力側は駆動回路104の出力とともに整流用MOSFET10のゲート端子に接続され、その微分出力は第1および第2の比較器201、202のACTIVE/SLEEP信号入力端子に接続される。一方、整流用MOSFET10のドレイン端子は、上記第1の比較器201の(−)端子と第2の比較器202の(+)端子に接続され、第1の比較器201の(+)端子には電圧源203の判定電圧V1が、第2の比較器202の(−)端子には電圧源204の判定電圧V2が接続される。

ここで、上記した第1および第2の比較器の回路例を第4図に示す。各比較器は、電流源、2個のpチャネル型MOSFETおよび2個のnチャネル型MOSFETから形成される前段の差動増幅回路402と、電流源、2個のnチャネル型M

OSFET 501に遅延時間制御信号入力端子が形成され、MOSFET502のゲート端子が入力信号端子となる。このインバータの出力は次段のインバータ503で反転されて、入力信号端子から見て正論理で駆動回路104へ出力される。

フライホイール用MOSFET制御部60の回路自体は、先に述べたように、上記で説明した整流用MOSFET制御部60と同一に構成されるが、第1の実施例で示したように、遅延回路103の入力には、カップリング回路110の出力をインバータ111を介して接続し、タイミング判定回路101の比較器201、202のACTIVE/SLEEP信号入力端子にはフライホイール用MOSFET11のドレイン端子(a1で図示)を、各比較器201、202の入力にはフライホイール用MOSFET11のゲート端子(a2で図示)を接続する。

このように構成した第2の実施例の動作を説明する。

第4図の比較器(201、202)において、

MOSFET、2個のpチャネル型MOSFETから形成される後段の反転増幅回路403との間にACTIVE/SLEEPの切り替えを行う素子としてMOSFET401が接続されて成る。

遅延時間制御信号発生回路102において、up/downカウンタ206のup入力端子には上記第1の比較器201の出力が接続され、down端子には上記第2の比較器202の出力が接続され、up/downカウンタ206のカウント出力はDAコンバータ207の入力に接続されて遅延時間制御信号に変換される。この遅延時間制御信号は、遅延回路103の遅延時間制御信号入力端子に接続される。

ここで、遅延回路103の回路例を第5図に示す。501は4個のpチャネル型MOSFETで構成される電流源、502はnチャネル型MOSFET、503はpチャネル型MOSFETとnチャネル型MOSFETで形成されるインバータである。電流源501とMOSFET502は直列に電源間に接続されてインバータを形成し、電

MOSFET401のACTIVE/SLEEP信号入力端子がH(ハイ)レベル時は比較器(201、202)の出力は常にL(ロー)レベルとなり、逆にLレベル時は入力電圧(MOSFET10または11のドレイン電圧)に応じた判定電圧V1、V2との比較結果が出力に表われる。第3図において、整流用MOSFET10のゲート電圧のフォールダウンにより、微分回路205の時定数に応じた時間幅のLレベルのパルスが比較器201、202のACTIVE/SLEEP信号入力端子に加えられ、その時点での整流用MOSFET10のドレイン電圧が判定される。ここで、判定電圧V1とV2の電位が、例えばV1=0V、V2=0.1VのようにV1<V2となるように設定すると動作を説明すると、ドレイン電圧が判定電圧V1よりも低ければ第1の比較器201の出力にパルス出力が得られ、判定電圧V2よりも高ければ第2の比較器202の出力にパルス出力が得られ、V1とV2の間であればいずれの比較器201、202からもパルスは出力

されない。このように、フォールダウンのタイミングに従ったパルス出力が得られる。仮に $V1 > V2$ と設定すると、ドレイン電圧が $V1$ と $V2$ の間の時に比較器201、202の両者からパルスが得られる。このように任意の論理をとることが可能である。ただし、以降の説明では、 $V1 < V2$ としている。

タイミング判定回路101の第1の比較器201の出力パルスは、up/downカウンタ206のup入力端子から入力され、第2の比較器202の出力パルスはdown入力端子から入力される。これにより、タイミングが“早い”ことを示す比較器201のパルスが、up/downカウンタのカウント値すなわち出力コードを1カウント増加させ、タイミングが“遅い”ことを示す比較器202のパルスが、1カウント減少させる。カウンタ206のカウント値の出力コードはDAコンバータ207に入力され、そのコードに応じたアナログ電圧または電流が遅延回路103の遅延時間制御入力端子に入力される。第5図に示した

制御信号発生回路102の構成において、301はインバータ、302、303は容量、304、305、306、307は抵抗、308は容量、309は演算増幅器である。演算増幅器309の非反転入力端子(+)はグランドへ接続され、その反転入力端子(-)は容量308を通してその出力に接続されるとともに、一方で抵抗306、容量302を通してインバータ301の出力に、もう一方で抵抗307、容量303を通してタイミング判定回路101の第2の比較器202の出力に接続される。上記において、インバータ301の入力はタイミング判定回路101の第1の比較器201に接続される。また、抵抗306と容量302の接続点は抵抗304を通し、抵抗307と容量303の接続点は抵抗305を通して、それぞれグランドへ接続される。これらの演算増幅器309、容量308、抵抗306、307は、積分回路を構成している。インバータ301はパルスの電位変位を反転して上記積分回路に負方向の電圧を入力するためのものであり、容量302、

特開平4-127869 (7)

遅延時間103は、遅延時間制御入力端子の電圧または電流によって電流源501の電流を調整することができる。すなわち、MOSFET502のターンオフ時に、そのドレイン電圧は電流源501の容量成分への充電電流により上昇するので、電流が変化すると、充電時間が変化し、遅延時間が変化する。第3図の回路においては、MOSFET502がオン時にMOSFET10または11がオンで、MOSFET502がオフ時にMOSFET10または11がオフとなるように論理を構成すると、整流用MOSFET10あるいはフライホイール用MOSFET11のターンオン時には遅延時間が変化せず、そのターンオフ時には電流源501の電流値に応じて遅延時間が変化するように動作させられるので、それらのターンオフのタイミングを調整するのに都合がよい。

第6図は本発明の第3の実施例を示す具体的な回路構成図である。本実施例は、第2の実施例と遅延時間制御信号発生回路の構成が異なっている。その他の部分は共通である。本実施例の遅延時間

303は直流成分をカットするためのものであり、抵抗304、305はグランドレベルにバイアスするためのものである。

このように構成した第3の実施例においては、タイミング判定回路101からのパルス信号により、正方向または負方向の電圧が上記積分回路に印加され、それに応じて積分回路の出力が減少または増大する。こうして第1の実施例と同様に遅延時間調整信号が遅延回路103へ出力される。従って、本実施例も第1の実施例と同様に動作させることができる。

なお、本発明は、以上の実施例に限らず、第1の実施例に示した基本回路構成をもとに種々の回路を構成することが可能であり、本発明はその主旨に沿って種々に応用され、種々の実施態様を取り得るものである。

〔発明の効果〕

以上の説明で明らかなように、本発明の整流回路によれば、MOSFETのターンオフのタイミングを判定して、ボディダイオードに電流を流さ

ず、かつチャネルに逆方向電流を流さないように、MOSFETのターンオフのタイミングを適正に調整することができるので、リカバリー損失や逆方向のチャネル電流による損失が発生しないMOSFETによる同期整流回路を提供することができる。

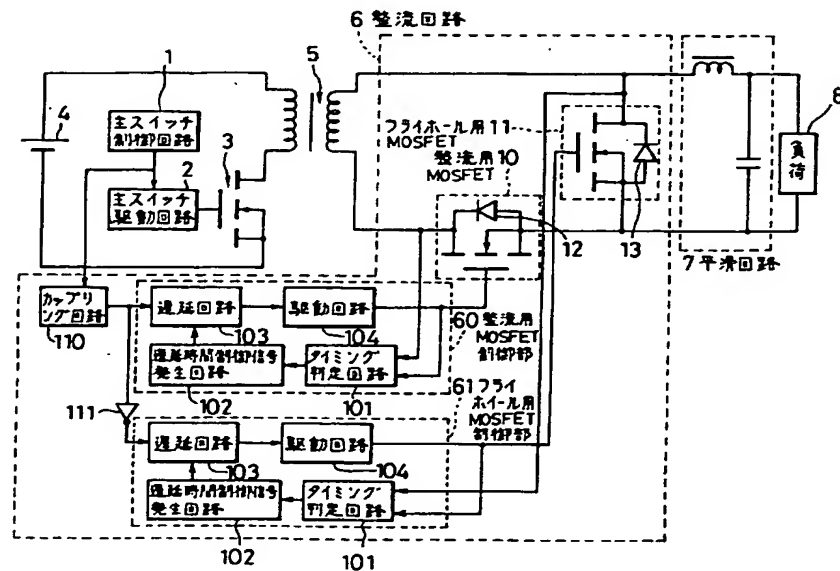
4. 図面の簡単な説明

第1図は本発明の第1の実施例を示す基本構成図、第2図(a)、(b)、(c)、(d)は上記第1の実施例の動作説明図、第3図は本発明の第2の実施例を示す具体的な回路構成図、第4図は上記第2の実施例における比較器の回路図、第5図は上記第2の実施例における遅延回路の回路図、第6図は本発明の第3の実施例を示す具体的な回路構成図、第7図、第8図、第9図はスイッチング電源の従来例を示す回路構成図、第10図、第11図、第12図は上記各従来例の動作波形図である。

1…主スイッチ制御回路、2…主スイッチ駆動回路、3…主スイッチ、4…入力電圧源、5…ト

ランス、6…整流回路、7…平滑回路、8…負荷、
10…整流用MOSFET、11…フライホイール用MOSFET、12…整流用MOSFETのボディダイオード、13…フライホイール用MOSFETのボディダイオード、60…整流用MOSFET制御部、61…フライホイール用MOSFET制御部、101…タイミング判定回路、102…遅延時間制御信号発生回路、103…遅延回路、104…駆動回路、110…カップリング回路、111…インバート。

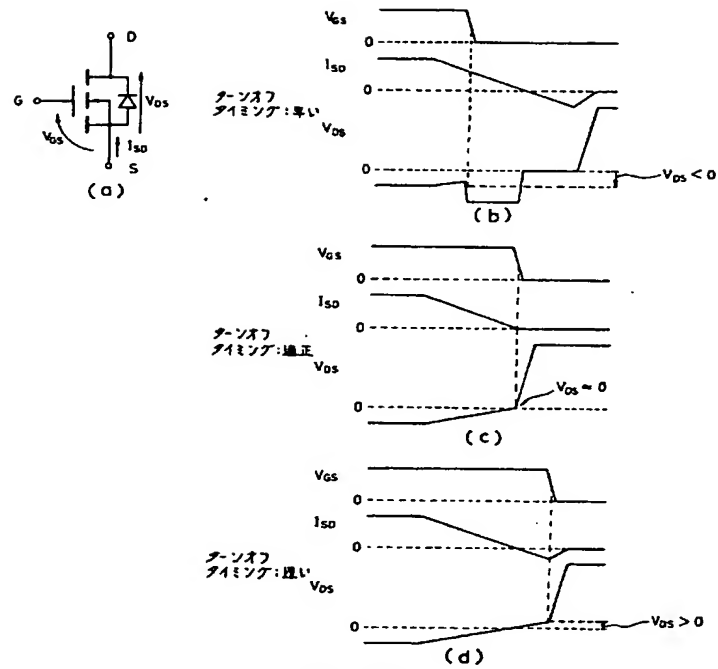
代理人 志賀富士弥



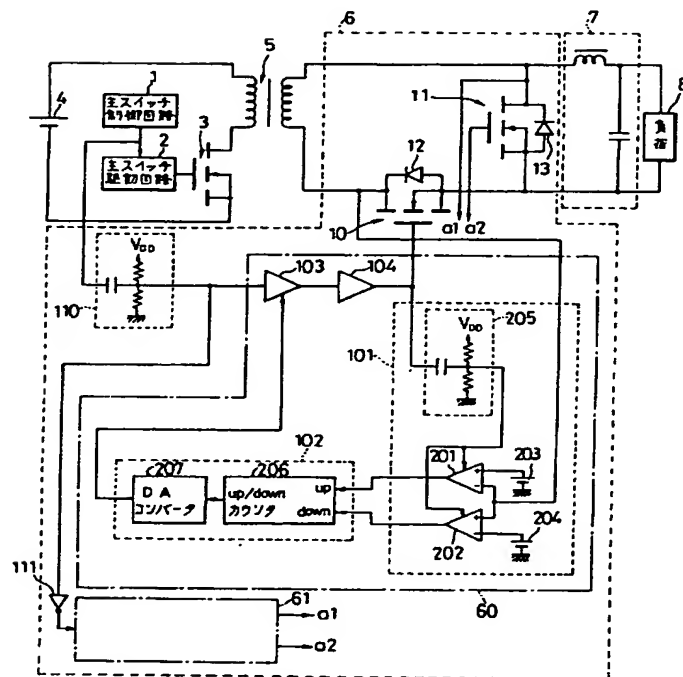
第 1 図

(9)

特開平4-127869 (9)



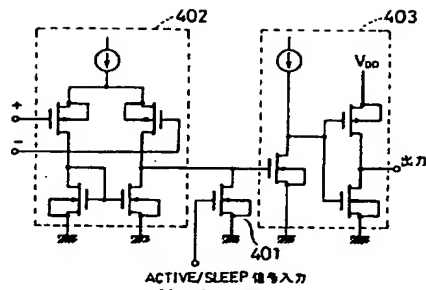
第 2 図



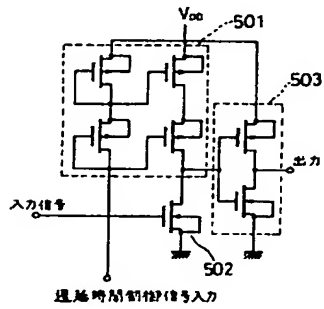
第 3 図

(10)

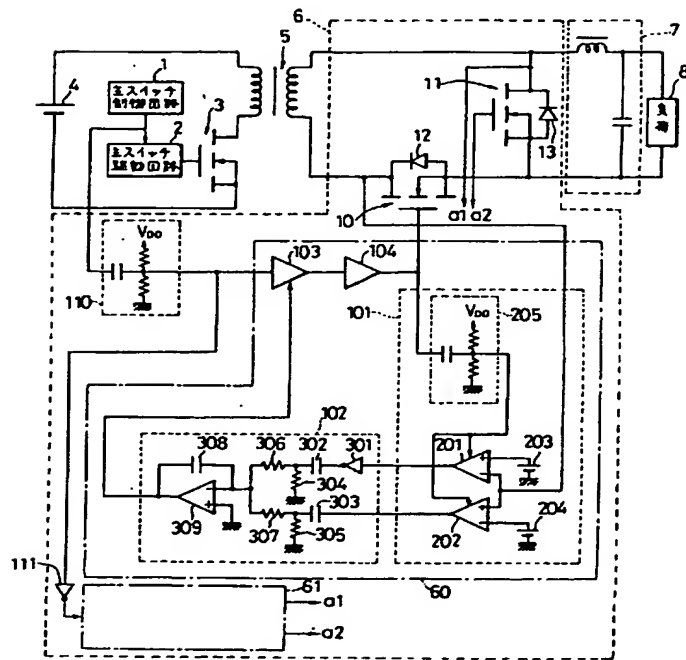
特開平4-127869 (10)



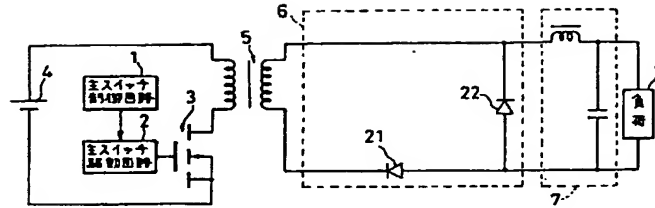
第4図



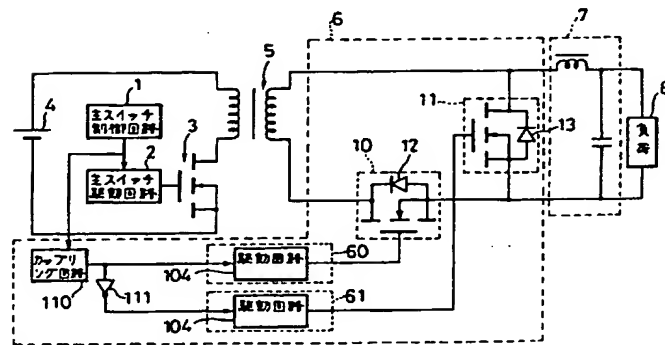
第5図



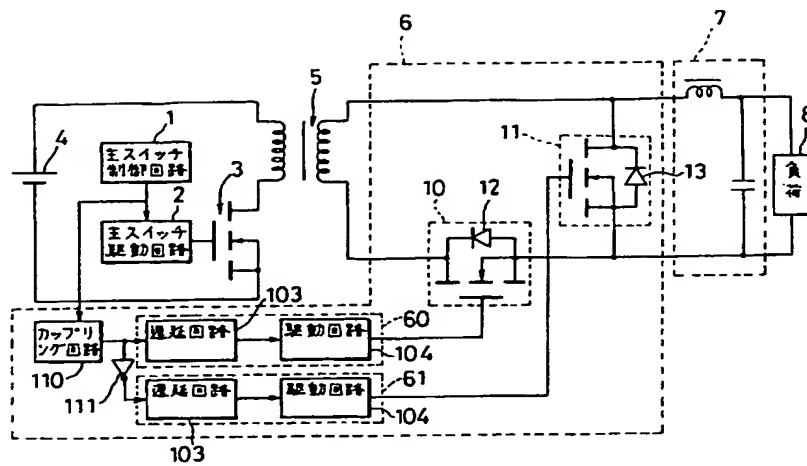
第6図



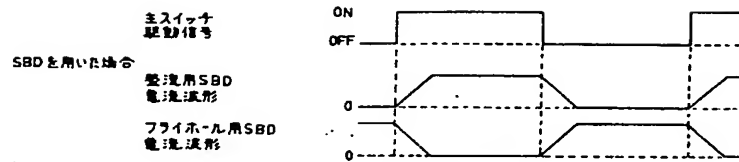
第 7 図



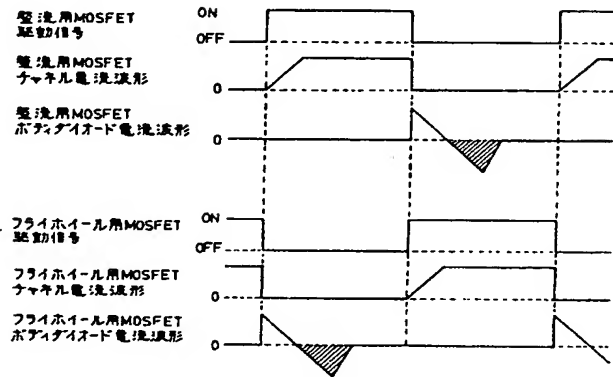
第 8 図



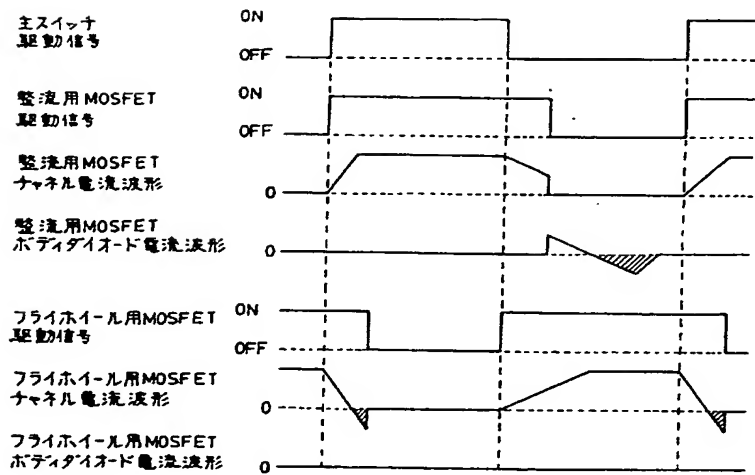
第 9 図



第10図



第11図



第12図